

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012709
 (43)Date of publication of application : 14.01.2000

(51)Int.Cl. H01L 21/8247
 H01L 29/788
 H01L 29/792
 H01L 27/115

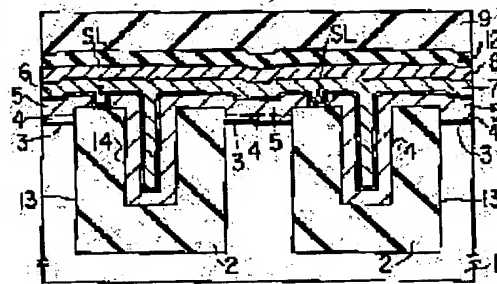
(21)Application number : 10-171351 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 18.06.1998 (72)Inventor : YAEGASHI TOSHITAKE
 ARITOME SEIICHI

(54) NONVOLATILE SEMICONDUCTOR MEMORY AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the coupling ratio of a nonvolatile semiconductor memory and to lower the write and erase voltages of the memory.

SOLUTION: Each trench 13 has two different widths. In the narrower-width region of the trench 13, an insulating layer 2 is embedded completely and, in the broader-width region, the insulating layer 2 is embedded in a recessed state. Floating gate electrodes (each composed of polysilicon films 4 and 5) are formed on channel regions in active regions through gate insulating layers 3 and also in the recessed sections 14 of the insulating layers 2. Control gate electrodes (each composed of a polysilicon film 7 and a tungsten silicide film 8) are formed on the floating gate electrodes, in the inside and outside of the recessed sections 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-12709
(P2000-12709A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ⁷	識別記号	F I		テマコード* (参考)
H 0 1 L	21/8247	H 0 1 L	29/78	3 7 1 5 F 0 0 1
	29/788		27/10	4 3 4 5 F 0 8 3
	29/792			
	27/115			

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平10-171351

(22) 出願日 平成10年6月18日 (1998.6.18)

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 八重樫 利武
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 有留 誠一
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

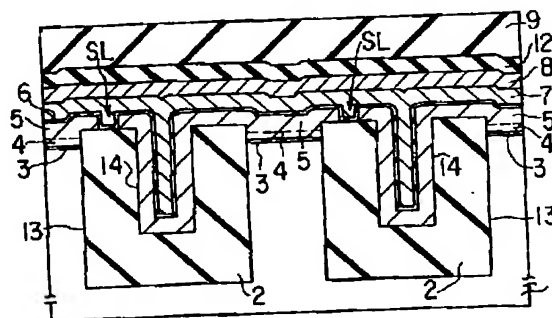
最終頁に続く

(54) 【発明の名称】 不揮発性半導体メモリ及びその製造方法

(57) 【要約】

【課題】 カップリング比を上げ、書き込み、消去電圧の低電圧化を図る。

【解決手段】 トレンチ13は、異なる二つの幅を持っている。幅の狭い領域では、トレンチ13内に絶縁層2が完全に埋め込まれ、幅の広い領域では、絶縁層2は、トレンチ13内に凹状に埋め込まれている。フローティングゲート電極（ポリシリコン膜4、5）は、活性領域のチャネル領域上にゲート絶縁膜3を介して形成され、かつ、絶縁層2の凹部14内にも形成される。コントロールゲート電極（ポリシリコン膜7、タングステンシサイド膜8）は、凹部14内及び外において、フローティングゲート電極上に形成される。



【特許請求の範囲】

【請求項 1】 異なる素子分離幅を有し、素子分離幅の広い領域には凹部が設けられている素子分離用の絶縁層と、前記絶縁層により画定された活性領域のチャネル領域上にゲート絶縁膜を介して配置されると共に前記凹部に配置されるフローティングゲート電極と、前記チャネル領域及び前記凹部上で前記フローティングゲート電極上に配置されるコントロールゲート電極とを具備することを特徴とする不揮発性半導体メモリ。

【請求項 2】 前記絶縁層は、異なる素子分離幅を有するトレンチ内に配置され、素子分離幅の狭い領域では、前記絶縁層の表面が実質的に平坦であり、素子分離幅の広い領域では、前記絶縁層の表面に凹部が設けられていることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 3】 複数のメモリセルを有し、互いに隣接するメモリセルのフローティングゲート電極を分離するスリットは、前記絶縁層の凹部の外に設けられていることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 4】 前記コントロールゲート電極のエッジは、前記絶縁層の凹部の外に存在していることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 5】 前記絶縁層の素子分離幅の狭い領域の間の活性領域にソース・ドレイン拡散層が配置されていることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 6】 前記チャネル領域のチャネル長方向における前記フローティングゲート電極の断面形状は、前記チャネル領域に対して非対称となっていることを特徴とする請求項 1 記載の不揮発性半導体メモリ。

【請求項 7】 互いに素子分離幅の異なる領域を有するトレンチを複数半導体基板に形成する工程と、前記トレンチの素子分離幅の狭い領域と広い領域の双方に実質的に同じ膜厚の絶縁層を埋め込み、素子分離幅の狭い領域の表面を実質的に平坦にし、素子分離幅の広い領域の表面に凹部を形成する工程と、前記凹部の内面を含む前記絶縁層上及び互いに隣接するトレンチ間の前記半導体基板上に第 1 導電膜を形成する工程と、前記絶縁層上の前記第 1 導電膜にスリットを形成する工程と、前記第 1 導電膜上に絶縁膜を介して第 2 導電膜を形成する工程と、前記第 2 導電膜及び前記第 1 導電膜を加工し、コントロールゲート電極及びフローティングゲート電極を形成する工程とを具備することを特徴とする不揮発性半導体メモリの製造方法。

【請求項 8】 前記絶縁層は、CVD 法により前記トレンチ内及び外に絶縁物を堆積した後、CMP 法により前記トレンチ外の絶縁物を除去することにより形成されることを特徴とする請求項 7 記載の不揮発性半導体メモリの製造方法。

【請求項 9】 前記スリットは、前記凹部の外に形成さ

れることを特徴とする請求項 7 記載の不揮発性半導体メモリの製造方法。

【請求項 10】 前記コントロールゲート電極のエッジが前記凹部にかからないように、前記第 2 導電膜及び前記第 1 導電膜を加工することを特徴とする請求項 7 記載の不揮発性半導体メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フローティングゲート電極及びコントロールゲート電極を有する不揮発性半導体メモリに関する。

【0002】

【従来の技術】図 21 は、従来の不揮発性半導体メモリの平面パターンを示している。図 22 は、図 21 の XX I I - XX I I 線に沿う断面図である。この不揮発性半導体メモリは、IEEE, 1 EDM '97 Technical Digest p. 271-274 (Shimizu et al.) で報告された EEPROM に関する。

【0003】半導体基板 1 中には、例えば、STI (Shallow Trench Isolation) 構造を有する素子分離用の絶縁層 2 が形成されている。絶縁層 2 は、例えば、酸化シリコンから構成される。絶縁層 2 の間の半導体基板 (素子領域) 1 上には、ゲート絶縁膜 3 が形成されている。

【0004】ゲート絶縁膜 3 上には、不純物を含むポリシリコン膜 4、5 から構成されるフローティングゲート電極 FG が形成されている。フローティングゲート電極 FG のロウ方向の二つの端部は、絶縁層 2 上に配置される。このようなフローティングゲート電極 FG の端部を絶縁層 2 にオーバーラップさせる構造は、ウイングポリ構造と呼ばれる。

【0005】フローティングゲート電極 FG の表面は、酸化シリコンと窒化シリコンがスタックされたいわゆる ONO と呼ばれる絶縁膜 6 により覆われている。絶縁膜 6 上には、不純物を含むポリシリコン膜 7 とタングステンシリサイド膜 8 がスタックされた構造を有するコントロールゲート電極 CG が形成されている。

【0006】フローティングゲート電極 FG のカラム方向の両端側の半導体基板 (素子領域) 1 中には、ソース・ドレイン拡散層 10 が形成されている。なお、本例は、NAND 型フラッシュ EEPROM を前提としているため、カラム方向に隣接するメモリセルで共有されるソース・ドレイン拡散層 10 に対するコンタクトホール

の形成を省略することが可能になっている。

【0007】層間絶縁膜 9 は、メモリセル、即ち、コントロールゲート電極 CG を完全に覆うように半導体基板 1 上に形成される。次に、図 21 及び図 22 に示す従来の不揮発性半導体メモリの製造方法について説明する。

【0008】まず、イオン注入により、半導体基板 1 中に N 型ウェル、P 型ウェル及びチャネル領域をそれぞれ

3

形成する。この後、熱酸化を行い、半導体基板1上に酸化膜からなるゲート絶縁膜3を形成する。CVD法により、ゲート絶縁膜3上にポリシリコン膜4を形成する。また、拡散法により、ポリシリコン膜4中に不純物（例えば、リン）を導入する。なお、不純物の導入は、ポリシリコン膜4の形成と同時に進めてもよい。

【0009】ポリシリコン膜4上にマスク材としての窒化シリコンを形成し、PEP（写真蝕刻工程）により、窒化シリコン上にレジストパターンを形成する。レジストパターンをマスクにして窒化シリコンをエッチングした後、このレジストパターンは、除去される。また、窒化シリコンをマスクにして、ポリシリコン膜4、ゲート絶縁膜3及び半導体基板1を順次エッチングし、半導体基板1中にトレンチを形成する。

【0010】CVD法により、半導体基板1上にトレンチを完全に満たすTEOSなどの絶縁層2を形成した後、CMP（Chemical Mechanical Polishing）により、この絶縁層2をトレンチ内のみに残存させる。この時、窒化シリコンは、CMPのエッチングストップとして機能する。これにより、STI構造を有する素子分離用の絶縁層2が完成する。この後、ウェットエッチング法により、窒化シリコンは、除去される。

【0011】CVD法により、半導体基板1上の全面に、ポリシリコン膜4と一体化するようなポリシリコン膜5を形成する。ポリシリコン膜5中には、拡散法により不純物（例えば、リン）が導入される。なお、不純物の導入は、ポリシリコン膜5の形成と同時に進めてもよい。

【0012】PEPにより、レジストパターンを形成した後、このレジストパターンをマスクにしてポリシリコン膜5にスリットSLを形成する。このスリットSLは、絶縁層2上に形成される。即ち、メモリセルのフローティングゲート電極FGの端部がSTI構造の絶縁層2にオーバーラップするように、スリットSLの位置が決定される。この後、レジストパターンは、除去される。

【0013】CVD法により、酸化シリコン（ SiO_2 ）、窒化シリコン（ Si_3N_4 ）、酸化シリコン（ SiO_2 ）を順次形成し、ポリシリコン膜5上にONOと呼ばれる絶縁膜6を形成する。

【0014】CVD法により、絶縁膜6上にポリシリコン膜7を形成する。ポリシリコン膜7中には、拡散法により不純物（例えば、リン）が導入される。なお、不純物の導入は、ポリシリコン膜7の形成と同時に進めてもよい。また、コントロールゲート電極CGの抵抗値を下げるため、ポリシリコン膜7上には、タングステンシサイド膜（ WSi ）8が形成される。

【0015】タングステンシサイド膜8上にマスク材としての窒化シリコンを形成し、PEPにより、窒化シリコン上にレジストパターンを形成する。レジストパタ

4

ーンをマスクにして窒化シリコンをエッチングした後、このレジストパターンは、除去される。また、窒化シリコンをマスクにして、タングステンシサイド膜8、ポリシリコン膜7、絶縁膜（ONO）6及びポリシリコン膜5、4を順次エッチングする。その結果、メモリセルのフローティングゲート電極FG及びコントロールゲート電極CGが完成する。

【0016】なお、マスクとしての窒化シリコンは、この後、除去しても、又はそのまま残存させてもよい。コントロールゲート電極CGをマスクにして、イオン注入により、絶縁層2間の半導体基板（素子領域）1中に不純物を導入し、かつ、不純物の活性化のための高温アニールを行うと、ソース・ドレイン拡散層10が形成される。

【0017】CVD法により、メモリセルを完全に覆う層間絶縁膜9を形成し、かつ、層間絶縁膜9にメモリセルのビット線コンタクトに達するコンタクトホールを形成する。層間絶縁膜9上及びコンタクトホール内には、例えば、アルミニウムからなる配線が形成される。この後、半導体基板1上の全面に保護膜（パッシベーション膜）が形成され、不揮発性半導体メモリが完成する。

【0018】

【発明が解決しようとする課題】図21及び図22に示す不揮発性半導体メモリでは、データの書き込み及び消去は、例えば、フローティングゲート電極FGと半導体基板1の間のゲート絶縁膜3にいわゆるトンネル電流を流すことにより実行される。このトンネル電流を流すため、通常、コントロールゲート電極CGと半導体基板1の間には、電源電圧よりも高い高電圧が印加される。

【0019】一方、近年では、不揮発性半導体メモリの信頼性を向上させるため、データの書き込み及び消去時にコントロールゲート電極CGと半導体基板1の間に印加する電圧（書き込み電圧、消去電圧）は、できるだけ低くすることが好ましくなっている。

【0020】しかし、書き込み電圧及び消去電圧を低電圧化すると、フローティングゲート電極FGと半導体基板1の間に印加される電圧が低くなり、ゲート絶縁膜3に十分なトンネル電流を流すことができなくなる。

【0021】そこで、書き込み電圧及び消去電圧が低電圧化されても、ゲート絶縁膜3に十分なトンネル電流を流すため、フローティングゲート電極FGとコントロールゲート電極CGの間の容量 C_1 と、フローティングゲート電極FGと半導体基板1の間の容量 C_2 の比（カップリング比 C_1/C_1+C_2 ）を上げることが検討されている。

【0022】カップリング比を上げると、コントロールゲート電極CGと半導体基板1の間に印加される電圧のうち、フローティングゲート電極FGと半導体基板1の間に印加される電圧が大きくなる。このため、書き込み電圧及び消去電圧が低電圧化されても、十分なトンネル

5

電流を流すことができる。

【0023】カップリング比を上げるための手法としては、1. フローティングゲート電極FGとコントロールゲート電極CGの間の絶縁膜6を薄膜化する、2. フローティングゲート電極FGとコントロールゲート電極CGが対向する面積をフローティングゲート電極FGと半導体基板1が対向する面積よりも大きくする、などが考えられている。

【0024】図21及び図22の例は、上記2. の手法の一つを示すものであり、フローティングゲート電極FGの両端部がSTI構造の絶縁層2にオーバーラップするいわゆるウイングポリ構造により、上記2. の条件を達成している。

【0025】しかし、ウイングポリ構造では、フローティングゲート電極FGとコントロールゲート電極CGが対向する面積は、素子分離用の絶縁層2の幅に制限を受ける。即ち、フローティングゲート電極FGとコントロールゲート電極CGが対向する面積を大きくし、カップリング比を上げようとすると、素子分離用の絶縁層2の幅も広くしなければならず、メモリセルの集積度の向上に悪影響を及ぼす。

【0026】本発明は、上記欠点を解決すべくなされたもので、その目的は、メモリセルの集積度を低下させることなく、カップリング比を向上でき、書き込み電圧及び消去電圧の低電圧化に貢献できる新規な構造の不揮発性半導体メモリを提供することである。

【0027】

【課題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体メモリは、異なる素子分離幅を有し、素子分離幅の広い領域には凹部が設けられている素子分離用の絶縁層と、前記絶縁層に画定された活性領域のチャネル領域上にゲート絶縁膜を介して配置されると共に前記凹部内に配置されるフローティングゲート電極と、前記チャネル領域及び前記凹部上で前記フローティングゲート電極上に配置されるコントロールゲート電極とを備える。

【0028】前記絶縁層は、異なる素子分離幅を有するトレンチ内に配置され、素子分離幅の狭い領域では、前記絶縁層の表面が実質的に平坦であり、素子分離幅の広い領域では、前記絶縁層の表面に凹部が設けられている。

【0029】本発明の不揮発性半導体メモリは、複数のメモリセルを有し、互いに隣接するメモリセルのフローティングゲート電極を分離するスリットは、前記絶縁層の凹部の外に設けられている。

【0030】前記コントロールゲート電極のエッジは、前記絶縁層の凹部の外に存在している。前記絶縁層の素子分離幅の狭い領域の間の活性領域にソース・ドレイン拡散層が配置されている。

【0031】前記チャネル領域のチャネル長方向にお

6

る前記フローティングゲート電極の断面形状は、前記チャネル領域に対して非対称となっている。本発明の不揮発性半導体メモリの製造方法は、互いに素子分離幅の異なる領域を有するトレンチを複数本半導体基板に形成し、前記トレンチの素子分離幅の狭い領域と広い領域の双方に実質的に同じ膜厚の絶縁層を埋め込み、素子分離幅の狭い領域の表面を実質的に平坦にし、素子分離幅の広い領域の表面に凹部を形成し、前記凹部の内面を含む前記絶縁層上及び互いに隣接するトレンチ間の前記半導体基板上に第1導電膜を形成し、前記絶縁層上の前記第1導電膜にスリットを形成し、前記第1導電膜上に絶縁膜を介して第2導電膜を形成し、前記第2導電膜及び前記第1導電膜を加工し、コントロールゲート電極及びフローティングゲート電極を形成する、という一連の工程を備える。

【0032】前記絶縁層は、CVD法により前記トレンチ内及び外に絶縁物を堆積した後、CMP法により前記トレンチ外の絶縁物を除去することにより形成される。前記スリットは、前記凹部の外に形成される。前記コントロールゲート電極のエッジが前記凹部にかからないように、前記第2導電膜及び前記第1導電膜は、加工される。

【0033】

【発明の実施の形態】以下、図面を参照しながら、本発明の不揮発性半導体メモリ及びその製造方法について詳細に説明する。図1は、本発明の第1実施の形態に関わるNOR型フラッシュEEPROMの平面パターンの主要部を示している。図2は、図1のI-I'線に沿う断面図である。図5は、図1のデバイスの等価回路（破線で囲った部分）を示している。

【0034】半導体基板1中には、STI (Shallow Trench Isolation) 構造を有する素子分離用の絶縁層（酸化シリコンなど）2が形成されている。この絶縁層2は、場所によって幅が異なるカラム方向に長いトレンチ（溝）13内に形成されている。

【0035】具体的には、トレンチ13の幅は、フローティングゲート電極FG及びコントロールゲート電極CGが配置される領域において広く設定され、ソース・ドレイン拡散層10に挟まれる領域において狭くなっている。

【0036】そして、トレンチ13において、幅の広い領域では、絶縁層2が凹状に埋め込まれ、凹部（窪み）14が形成されており、幅の狭い領域では、絶縁層が完全に埋め込まれ、表面が実質的に平坦になっている。

【0037】絶縁層2の間の半導体基板（活性領域）1上には、ゲート絶縁膜3が形成されている。ゲート絶縁膜3上には、不純物を含むポリシリコン膜4、5から構成されるフローティングゲート電極FGが形成されている。

【0038】フローティングゲート電極FGのロウ方向

7

の二つの端部は、絶縁層2上に配置される。さらに、フローティングゲート電極FGのロウ方向の二つの端部のうち的一方側においては、フローティングゲート電極FGが絶縁層2の凹部14内に形成されている。

【0039】互いに隣接するメモリセルのフローティングゲート電極FGを分離するためのスリットSLは、絶縁層2の凹部14の外に設けられている。フローティングゲート電極FGの表面は、酸化シリコンと窒化シリコンがスタックされたいわゆるONOと呼ばれる絶縁膜6により覆われている。絶縁膜6上には、不純物を含むポリシリコン膜7とタングステンシリサイド膜8がスタックされた構造を有するコントロールゲート電極CGが形成されている。コントロールゲート電極CG上には、コントロールゲート電極CG及びフローティングゲート電極FGの加工時のマスクとして機能するマスク材（例えば、窒化シリコン）12が形成されている。

【0040】コントロールゲート電極CG及びフローティングゲート電極FGの幅（ゲート長）は、絶縁層2の凹部14の大きさ（カラム方向の長さ）よりも大きく設定され、コントロールゲート電極CG及びフローティングゲート電極FGのエッジが絶縁層2の凹部14にかからないようにしている。

【0041】即ち、コントロールゲート電極CG及びフローティングゲート電極FGの加工を、絶縁層2の凹部14の外で行うようにしている。フローティングゲート電極FGのカラム方向の両端側の半導体基板（素子領域）1中には、ソース・ドレイン拡散層10が形成されている。本例は、NOR型フラッシュEEPROMを前提としているため、コンタクトホール11は、各ソース・ドレイン拡散層10上に設けられる。

【0042】層間絶縁膜9は、メモリセル、即ち、コントロールゲート電極CGを完全に覆うように半導体基板1上に形成される。上記構成のEEPROMによれば、STIのためのトレンチ13の幅は、フローティングゲート電極FG及びコントロールゲート電極CGが配置される領域において広く設定され、ソース・ドレイン拡散層10に挟まれる領域において狭くなっている。このため、幅の広い領域では、絶縁層2が凹状に埋め込まれ、幅の狭い領域では、絶縁層が完全に埋め込まれる。

【0043】また、フローティングゲート電極FGのロウ方向の二つの端部を絶縁層2上に配置し、かつ、二つの端部のうち的一方側においては、フローティングゲート電極FGが絶縁層2の凹部14内に形成される。

【0044】よって、絶縁層2の凹部14の側面の面積分だけ、コントロールゲート電極CGとフローティングゲート電極FGが対向する面積を増やすことができ、カップリング比 $C1/C1+C2$ （フローティングゲート電極FGとコントロールゲート電極CGの間の容量 $C1$ と、フローティングゲート電極FGと半導体基板1の間の容量 $C2$ の比）を上げることができる。また、カップ

8

リング比を上げることができるため、書き込み電圧や消去電圧の低電圧化を達成できる。

【0045】また、コントロールゲート電極CGとフローティングゲート電極FGが対向する面積の増加（カップリング比を上げること）は、素子分離用の絶縁層2の凹部14により達成しているため、絶縁層2の幅を広くしなくても、カップリング比を上げることができる。よって、メモリセルの集積度の向上に貢献できる。

【0046】また、互いに隣接するメモリセルのフローティングゲート電極FGを分離するためのスリットSLを絶縁層2の凹部14の外に設け、コントロールゲート電極CG及びフローティングゲート電極FGのエッジも、絶縁層2の凹部14にかからないようにしている。

【0047】よって、スリットSL形成時や、コントロールゲート電極CG及びフローティングゲート電極FGの加工時において、加工段差（加工される材料の厚さのばらつき）がなくなり、信頼性が向上し、加工も容易になる。

【0048】具体的には、凹部14の外部と内部でのポリシリコン膜の厚さのばらつきに起因する半導体基板のオーバーエッチングを防止することができると共に、絶縁膜6のエッチングの際の素子分離用の絶縁層2のオーバーエッチングを抑えるうえで、特にコントロールゲート電極CG及びフローティングゲート電極FGのエッジを凹部14の外部に設定することが極めて有効である。

【0049】また、ソース・ドレイン拡散層10間の絶縁層2の幅は、コントロールゲート電極CG及びフローティングゲート電極FG直下の絶縁層2の幅よりも狭く設定されているため、ソース・ドレイン拡散層10に対するコンタクト領域の面積を増やすことができる。

【0050】よって、コンタクトホール11の開口が容易になると共に、合せずれが生じてコンタクト抵抗の増大を抑えることができる。図3は、本発明の第2実施の形態に関わるNOR型フラッシュEEPROMの平面パターンの主要部を示している。図4は、図3のIV-I V線に沿う断面図である。図5は、図3のデバイスの等価回路（破線で囲った部分）を示している。

【0051】本実施の形態のメモリは、上述の第1実施の形態のメモリと比べると、スリットSLの位置が異なっている点に特徴を有する。半導体基板1中には、STI構造を有する素子分離用の絶縁層（酸化シリコンなど）2が形成されている。この絶縁層2は、場所によって幅が異なるカラム方向に長いトレンチ（溝）13内に形成されている。

【0052】具体的には、トレンチ13の幅は、フローティングゲート電極FG及びコントロールゲート電極CGが配置される領域において広く設定され、ソース・ドレイン拡散層10に挟まれる領域において狭くなっている。

【0053】そして、トレンチ13において、幅の広い

領域では、絶縁層 2 が凹状に埋め込まれ、凹部（窪み）14 が形成されており、幅の狭い領域では、絶縁層が完全に埋め込まれ、表面が実質的に平坦になっている。

【0054】絶縁層 2 の間の半導体基板（活性領域）1 上には、ゲート絶縁膜 3 が形成されている。ゲート絶縁膜 3 上には、不純物を含むポリシリコン膜 4、5 から構成されるフローティングゲート電極 FG が形成されている。

【0055】フローティングゲート電極 FG のロウ方向の二つの端部は、絶縁層 2 の凹部 14 内に形成されている。つまり、互いに隣接するメモリセルのフローティングゲート電極 FG を分離するためのスリット SL は、絶縁層 2 の凹部 14 内に設けられている。

【0056】フローティングゲート電極 FG の表面は、酸化シリコンと窒化シリコンがスタックされたいわゆる ONO と呼ばれる絶縁膜 6 により覆われている。絶縁膜 6 上には、不純物を含むポリシリコン膜 7 とタングステンシリサイド膜 8 がスタックされた構造を有するコントロールゲート電極 CG が形成されている。コントロールゲート電極 CG 上には、コントロールゲート電極 CG 及びフローティングゲート電極 FG の加工時のマスクとして機能するマスク材（例えば、窒化シリコン）12 が形成されている。

【0057】コントロールゲート電極 CG 及びフローティングゲート電極 FG の幅（ゲート長）は、絶縁層 2 の凹部 14 の大きさ（カラム方向の長さ）よりも大きく設定され、コントロールゲート電極 CG 及びフローティングゲート電極 FG のエッジが絶縁層 2 の凹部 14 にかからないようにしている。

【0058】即ち、コントロールゲート電極 CG 及びフローティングゲート電極 FG の加工を、絶縁層 2 の凹部 14 の外で行うようにしている。フローティングゲート電極 FG のカラム方向の両端側の半導体基板（素子領域）1 中には、ソース・ドレイン拡散層 10 が形成されている。本例は、NOR 型フラッシュ EEPROM を前提としているため、コンタクトホール 11 は、各ソース・ドレイン拡散層 10 上に設けられる。

【0059】層間絶縁膜 9 は、メモリセル、即ち、コントロールゲート電極 CG を完全に覆うように半導体基板 1 上に形成される。上記構成を有する EEPROM においても、上述の第 1 実施の形態の EEPROM と同様の効果を得ることができる。

【0060】なお、本実施の形態では、スリット SL が絶縁層 2 の凹部 14 内に形成され、メモリセルのパターンが、ロウ方向及びカラム方向共に、メモリセルの中心に対して対称となっている（第 1 実施の形態では、ロウ方向においては、メモリセルのパターンがその中心に対して非対称となっている）。

【0061】図 6 は、本発明の第 3 実施の形態に関わる NAND 型フラッシュ EEPROM の平面パターンの主

要部を示している。図 7 は、図 6 の V I I - V I I 線に沿う断面図である。図 10 は、図 6 のデバイスの等価回路（破線で囲った部分）を示している。

【0062】半導体基板 1 中には、STI 構造を有する素子分離用の絶縁層（酸化シリコンなど）2 が形成されている。この絶縁層 2 は、場所によって幅が異なるカラム方向に長いトレンチ（溝）13 内に形成されている。

【0063】具体的には、トレンチ 13 の幅は、フローティングゲート電極 FG 及びコントロールゲート電極 CG が配置される領域において広く設定され、ソース・ドレイン拡散層 10 に挟まれる領域において狭くなっている。

【0064】そして、トレンチ 13 において、幅の広い領域では、絶縁層 2 が凹状に埋め込まれ、凹部（窪み）14 が形成されており、幅の狭い領域では、絶縁層が完全に埋め込まれ、表面が実質的に平坦になっている。

【0065】絶縁層 2 の間の半導体基板（活性領域）1 上には、ゲート絶縁膜 3 が形成されている。ゲート絶縁膜 3 上には、不純物を含むポリシリコン膜 4、5 から構成されるフローティングゲート電極 FG が形成されている。

【0066】フローティングゲート電極 FG のロウ方向の二つの端部は、絶縁層 2 上に配置される。さらに、フローティングゲート電極 FG のロウ方向の二つの端部のうちの一方側においては、フローティングゲート電極 FG が絶縁層 2 の凹部 14 内に形成されている。

【0067】互いに隣接するメモリセルのフローティングゲート電極 FG を分離するためのスリット SL は、絶縁層 2 の凹部 14 の外に設けられている。フローティングゲート電極 FG の表面は、酸化シリコンと窒化シリコンがスタックされたいわゆる ONO と呼ばれる絶縁膜 6 により覆われている。絶縁膜 6 上には、不純物を含むポリシリコン膜 7 とタングステンシリサイド膜 8 がスタックされた構造を有するコントロールゲート電極 CG が形成されている。コントロールゲート電極 CG 上には、コントロールゲート電極 CG 及びフローティングゲート電極 FG の加工時のマスクとして機能するマスク材（例えば、窒化シリコン）12 が形成されている。

【0068】コントロールゲート電極 CG 及びフローティングゲート電極 FG の幅（ゲート長）は、絶縁層 2 の凹部 14 の大きさ（カラム方向の長さ）よりも大きく設定され、コントロールゲート電極 CG 及びフローティングゲート電極 FG のエッジが絶縁層 2 の凹部 14 にかからないようにしている。即ち、コントロールゲート電極 CG 及びフローティングゲート電極 FG の加工を、絶縁層 2 の凹部 14 の外で行うようにしている。

【0069】フローティングゲート電極 FG のカラム方向の両端側の半導体基板（素子領域）1 中には、ソース・ドレイン拡散層 10 が形成されている。層間絶縁膜 9 は、メモリセル、即ち、コントロールゲート電極 CG を

完全に覆うように半導体基板1上に形成される。

【0070】上記構成を有するEEPROMにおいても、上述の第1実施の形態のEEPROMと同様の効果を得ることができる。図8は、本発明の第4実施の形態に関わるNAND型フラッシュEEPROMの平面パターンの主要部を示している。図9は、図8のIX-IX線に沿う断面図である。図10は、図8のデバイスの等価回路（破線で囲った部分）を示している。

【0071】半導体基板1中には、STI構造を有する素子分離用の絶縁層（酸化シリコンなど）2が形成されている。この絶縁層2は、場所によって幅が異なるカラム方向に長いトレンチ（溝）13内に形成されている。

【0072】具体的には、トレンチ13の幅は、フローティングゲート電極FG及びコントロールゲート電極CGが配置される領域において広く設定され、ソース・ドレイン拡散層10に挟まれる領域において狭くなっている。

【0073】そして、トレンチ13において、幅の広い領域では、絶縁層2が凹状に埋め込まれ、凹部（窪み）14が形成されており、幅の狭い領域では、絶縁層が完全

に埋め込まれ、表面が実質的に平坦になっている。

【0074】絶縁層2の間の半導体基板（活性領域）1上には、ゲート絶縁膜3が形成されている。ゲート絶縁膜3上には、不純物を含むポリシリコン膜4、5から構成されるフローティングゲート電極FGが形成されている。

【0075】フローティングゲート電極FGのロウ方向の二つの端部は、絶縁層2の凹部14内に形成されている。つまり、互いに隣接するメモリセルのフローティングゲート電極FGを分離するためのスリットSLは、絶縁層2の凹部14内に設けられている。

【0076】フローティングゲート電極FGの表面は、酸化シリコンと窒化シリコンがスタックされたいわゆるONOと呼ばれる絶縁膜6により覆われている。絶縁膜6上には、不純物を含むポリシリコン膜7とタングステンサイド膜8がスタックされた構造を有するコントロールゲート電極CGが形成されている。コントロールゲート電極CG上には、コントロールゲート電極CG及びフローティングゲート電極FGの加工時のマスクとして機能するマスク材（例えば、窒化シリコン）12が形成されている。

【0077】コントロールゲート電極CG及びフローティングゲート電極FGの幅（ゲート長）は、絶縁層2の凹部14の大きさ（カラム方向の長さ）よりも大きく設定され、コントロールゲート電極CG及びフローティングゲート電極FGのエッジが絶縁層2の凹部14にかからないようにしている。即ち、コントロールゲート電極CG及びフローティングゲート電極FGの加工を、絶縁層2の凹部14の外で行うようにしている。

【0078】フローティングゲート電極FGのカラム方

向の両端側の半導体基板（素子領域）1中には、ソース・ドレイン拡散層10が形成されている。層間絶縁膜9は、メモリセル、即ち、コントロールゲート電極CGを完全に覆うように半導体基板1上に形成される。

【0079】上記構成を有するEEPROMにおいても、上述の第1実施の形態のEEPROMと同様の効果を得ることができる。次に、本発明の不揮発性半導体メモリの製造方法について説明する。

【0080】以下では、上述の第1乃至第4実施の形態のうち、図1及び図2に示す第1実施の形態に関わるNOR型フラッシュEEPROMを例にして説明することにする。

【0081】まず、図11及び図12に示すように、イオン注入により、半導体基板1中にN型ウェル、P型ウェル及びチャネル領域（図示せず）をそれぞれ形成する。この後、熱酸化を行い、半導体基板1上に酸化膜からなるゲート絶縁膜3を形成する。CVD法により、ゲート絶縁膜3上にポリシリコン膜4を形成する。また、拡散法により、ポリシリコン膜4中に不純物（例えば、リン）を導入する。なお、不純物の導入は、ポリシリコン膜4の形成と同時に進めてもよい。

【0082】ポリシリコン膜4上にマスク材としての窒化シリコン15を形成し、PEP（写真蝕刻工程）により、窒化シリコン15上にレジストパターンを形成する。レジストパターンをマスクにしてRIEにより窒化シリコン15をエッチングした後、このレジストパターンは、除去される。また、窒化シリコン15をマスクにして、ポリシリコン膜4、ゲート絶縁膜3及び半導体基板1を順次RIEによりエッチングし、半導体基板1中にトレンチ13を形成する。

【0083】トレンチ13は、全体としてカラム方向に長い溝状となっており、場所によって幅が異なるように形成される。本例では、トレンチ13は、幅aの領域と幅b（>a）の領域を有する。

【0084】次に、図13及び図14に示すように、CVD法により、半導体基板1上にTEOSなどの絶縁層2を形成する。ここで、絶縁層2の厚さは、トレンチ13の幅の狭い方aの半分程度に設定される。これにより、トレンチ13の幅の狭い領域では、絶縁層2が完全に埋め込まれ、幅の広い領域では、絶縁層2が凹状に埋め込まれる。

【0085】この後、CMP（Chemical Mechanical Polishing）により、絶縁層2を研磨し、トレンチ13の外の絶縁層2を除去すると、トレンチ13の幅の狭い領域では、絶縁層2の表面が一樣に平坦となり、幅の広い領域では、絶縁層2に凹部（窪み）14が形成される。

【0086】なお、窒化シリコン15は、CMPのエッチングストップとして機能し、CMP終了後にウェットエッチング法により除去される。次に、図15及び図16に示すように、CVD法により、半導体基板1上の全

13

面に、ポリシリコン膜4と一体化するようなポリシリコン膜5を形成する。ここで、ポリシリコン膜5は、絶縁層2の凹部14においては、その内面上に形成され、凹部14を埋め込むことはない。ポリシリコン膜5中には、拡散法により不純物（例えば、リン）が導入される。なお、不純物の導入は、ポリシリコン膜5の形成と同時に進めてもよい。

【0087】PEPにより、レジストパターンを形成した後、このレジストパターンをマスクにしてポリシリコン膜5にスリットSLを形成する。このスリットSLは、絶縁層2の凹部14とオーバーラップしないように、絶縁層2の凹部14の外に形成される。この後、レジストパターンは、除去される。

【0088】次に、図17及び図18に示すように、CVD法により、酸化シリコン（ SiO_2 ）、窒化シリコン（ Si_3N_4 ）、酸化シリコン（ SiO_2 ）を順次形成し、ポリシリコン膜5上にONOと呼ばれる絶縁膜6を形成する。

【0089】CVD法により、絶縁膜6上にポリシリコン膜7を形成する。ポリシリコン膜7中には、拡散法により不純物（例えば、リン）が導入される。なお、不純物の導入は、ポリシリコン膜7の形成と同時に進めてもよい。また、コントロールゲート電極CGの抵抗値を下げるため、ポリシリコン膜7上には、タングステンシサイド膜（ WSi ）8が形成される。

【0090】タングステンシサイド膜8上にマスク材としての窒化シリコン12を形成し、PEPにより、窒化シリコン12上にレジストパターンを形成する。レジストパターンをマスクにしてRIEにより窒化シリコン12をエッチングした後、このレジストパターンは、除去される。また、窒化シリコン12をマスクにして、タングステンシサイド膜8、ポリシリコン膜7、絶縁膜（ONO）6及びポリシリコン膜5、4を順次RIEによりエッチングする。その結果、メモリセルのフローティングゲート電極FG及びコントロールゲート電極CGが完成する。

【0091】この時、フローティングゲート電極FG及びコントロールゲート電極CGのライン幅は、絶縁層2の凹部14の大きさ（カラム方向の長さ）よりも大きく設定され、かつ、フローティングゲート電極FG及びコントロールゲート電極CGのエッジが絶縁層2の凹部14にかからないようにしている。

【0092】よって、フローティングゲート電極FG及びコントロールゲート電極CGの加工時において、いわゆる加工段差がなくなるため、メモリセルのゲート部の加工が容易に行える。

【0093】なお、本例では、マスクとしての窒化シリコン12は、そのまま残存させているが、メモリセルのゲート部の加工が終了した後には除去しても構わない。この後、コントロールゲート電極CGをマスクにして、イ

14

オン注入により、絶縁層2間の半導体基板（素子領域）1中に不純物を導入し、かつ、不純物の活性化のための高温アニールを行うと、ソース・ドレイン拡散層10が形成される。

【0094】次に、図19及び図20に示すように、CVD法により、メモリセルを完全に覆う層間絶縁膜9を形成し、かつ、層間絶縁膜9にメモリセルのソース・ドレイン拡散層10に達するコンタクトホール11を形成する。ここで、ソース・ドレイン拡散層10が形成される活性化領域の面積は、メモリセルのチャネル領域の面積よりも大きくなっているため、コンタクトホール11の形成が容易になっている。

【0095】層間絶縁膜9上及びコンタクトホール11内には、例えば、アルミニウムからなる配線（ビット線、ソース線）が形成される。この後、半導体基板1上の全面に保護膜（パッシベーション膜）が形成され、不揮発性半導体メモリが完成する。

【0096】

【発明の効果】以上、説明したように、本発明の不揮発性半導体メモリ及びその製造方法によれば、次のような効果を奏する。STIのためのトレンチの幅は、フローティングゲート電極及びコントロールゲート電極が配置される領域において広く設定され、ソース・ドレイン拡散層に挟まれる領域において狭くなっている。このため、幅の広い領域では、絶縁層が凹状に埋め込まれ、幅の狭い領域では、絶縁層が完全に埋め込まれる。また、フローティングゲート電極のロウ方向の端部を絶縁層上に配置し、かつ、フローティングゲート電極を絶縁層の凹部内にも形成している。

【0097】よって、絶縁層の凹部の側面の面積分だけ、コントロールゲート電極とフローティングゲート電極が対向する面積を増やすことができ、カップリング比を上げることができる。また、カップリング比を上げることができるため、書き込み時及び消去時において、半導体基板とコントロールゲート電極の間に印加する電圧を低くできる。

【0098】また、コントロールゲート電極とフローティングゲート電極が対向する面積の増加（カップリング比を上げること）は、素子分離用の絶縁層の凹部により達成しているため、素子分離用の絶縁層の幅を広くしなくても、カップリング比を上げることができる。よって、メモリセルの集積度の向上に貢献できる。

【0099】また、互いに隣接するメモリセルのフローティングゲート電極を分離するためのスリットを絶縁層の凹部の外に設け、かつ、コントロールゲート電極及びフローティングゲート電極のエッジが絶縁層の凹部にかからないようにしている。

【0100】よって、スリット形成時や、コントロールゲート電極及びフローティングゲート電極の加工時において、加工段差によるプロセスのダメージがなくなり、

15

信頼性が向上し、ゲート加工も容易になる。

【0101】また、ソース・ドレイン拡散層が形成される活性領域の面積は、コントロールゲート電極及びフローティングゲート電極直下のチャネル領域の面積よりも大きく設定されているため、ソース・ドレイン拡散層に対するコンタクトホール形成が容易になる。

【0102】また、素子分離用の絶縁層の凹部は、トレンチの幅（狭い領域、広い領域）とポリシリコン膜の厚さを調整するだけで容易に形成できる。つまり、素子分離用の絶縁層の凹部を形成するに当たり、PEPやエッチング工程を追加する必要がないため、製造コストの増加もない。

【図面の簡単な説明】

【図1】本発明の第1実施の形態に関わるEEPROMを示す平面図。

【図2】図1のI-I線に沿う断面図。

【図3】本発明の第2実施の形態に関わるEEPROMを示す平面図。

【図4】図3のI-V線に沿う断面図。

【図5】図1及び図3のデバイスの等価回路を示す図。

【図6】本発明の第3実施の形態に関わるEEPROMを示す平面図。

【図7】図6のV-I線に沿う断面図。

【図8】本発明の第4実施の形態に関わるEEPROMを示す平面図。

【図9】図8のI-X線に沿う断面図。

【図10】図6及び図8のデバイスの等価回路を示す図。

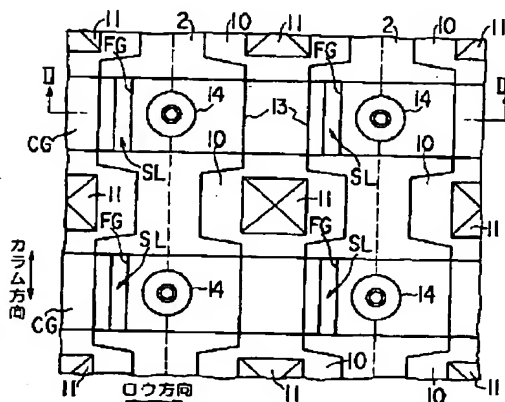
【図11】本発明の製造方法の一工程を示す平面図。

【図12】図11のX-I線に沿う断面図。

【図13】本発明の製造方法の一工程を示す平面図。

【図14】図13のX-IV線に沿う断面図。

【図1】



16

*【図15】本発明の製造方法の一工程を示す平面図。

【図16】図15のXVI-XVI線に沿う断面図。

【図17】本発明の製造方法の一工程を示す平面図。

【図18】図17のXVII-XVII線に沿う断面図。

【図19】本発明の製造方法の一工程を示す平面図。

【図20】図19のXX-XX線に沿う断面図。

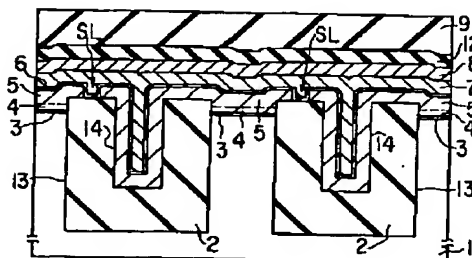
【図21】従来のEEPROMを示す平面図。

【図22】図21のXXI-XXI線に沿う断面図。

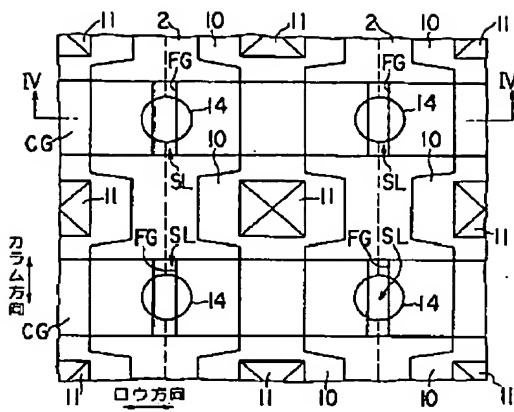
【符号の説明】

1	: 半導体基板、
2	: 絶縁層（素子分離用）、
3	: ゲート絶縁膜、
4, 5, 7	: ポリシリコン膜、
6	: 絶縁膜（ONO膜）、
8	: タングステンシリサイド
膜、	
9	: 層間絶縁膜、
10	: ソース・ドレイン拡散
層、	
11	: コンタクトホール、
12, 15	: 窒化シリコン、
13	: トレンチ（STI用）、
14	: 凹部（窪み）、
FG	: フローティングゲート電
極、	
CG	: コントロールゲート電
極、	
30 BL	: ビット線、
SSL	: ソース線、
* SL	: スリット。

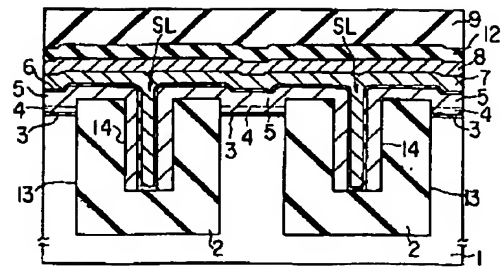
【図2】



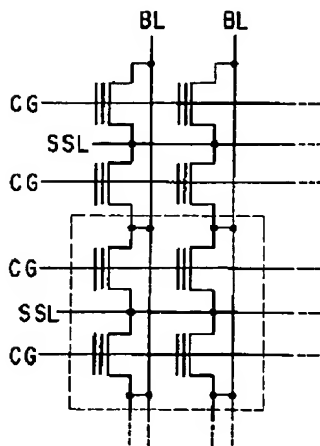
【図3】



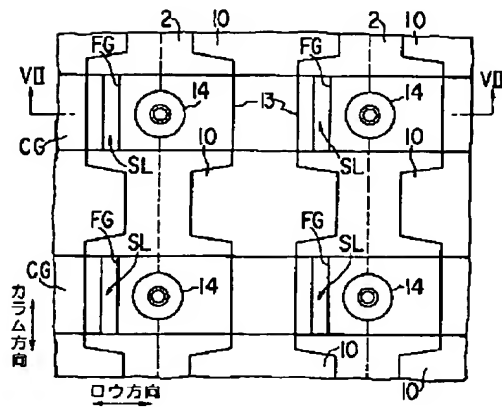
【図4】



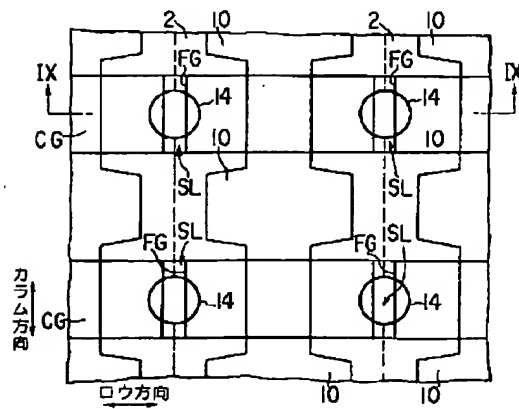
【図5】



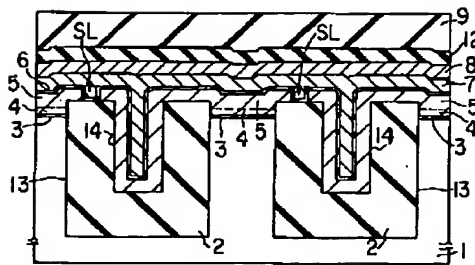
【図6】



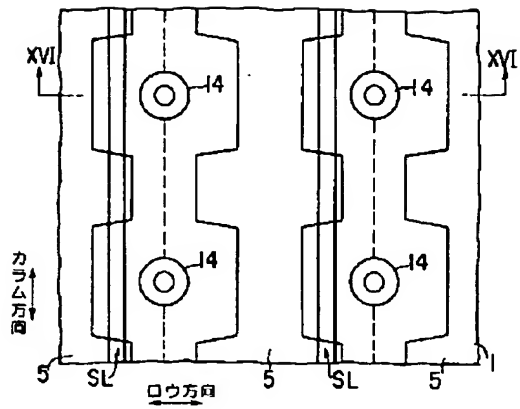
【図8】



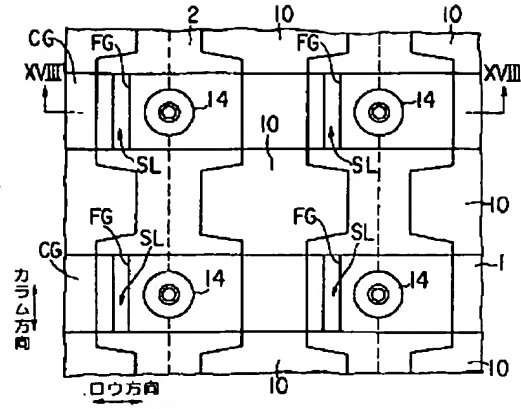
【図7】



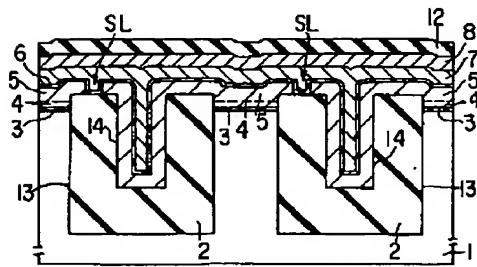
【図15】



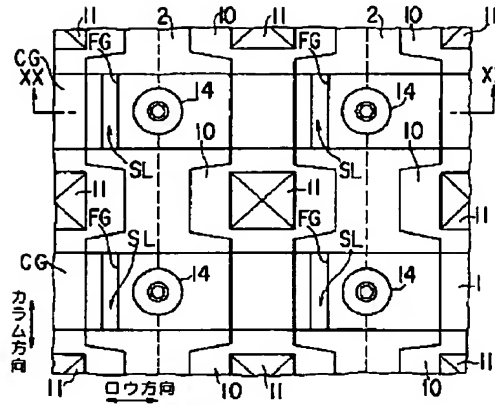
【図17】



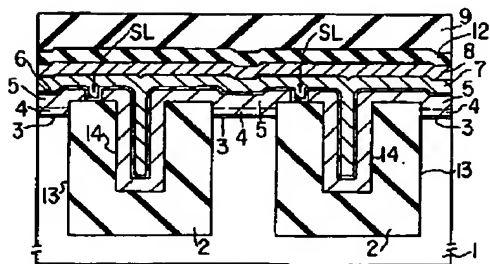
【図18】



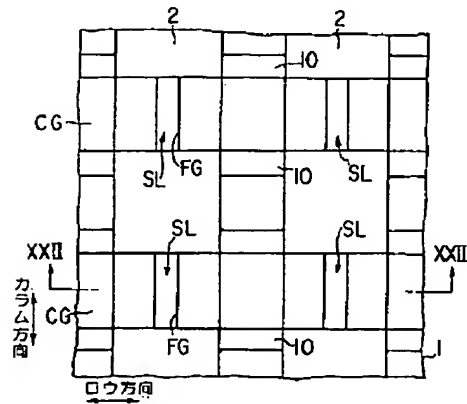
【図19】



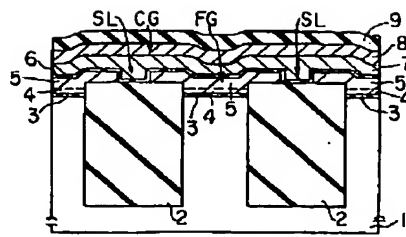
【図20】



【図21】



【図22】



フロントページの続き

Fターム(参考) 5F001 AA03 AA25 AA31 AA43 AA63
 AB09 AD53 AD60 AD61 AG10
 AG12 AG21 AG29
 5F083 EP04 EP13 EP23 EP55 EP76
 EP77 ER22 GA05 GA22 GA30
 JA32 JA35 JA39 JA53 KA01
 LA12 LA16 LA20 MA03 MA19
 MA20 NA01 PR03 PR05 PR21
 PR36 PR40